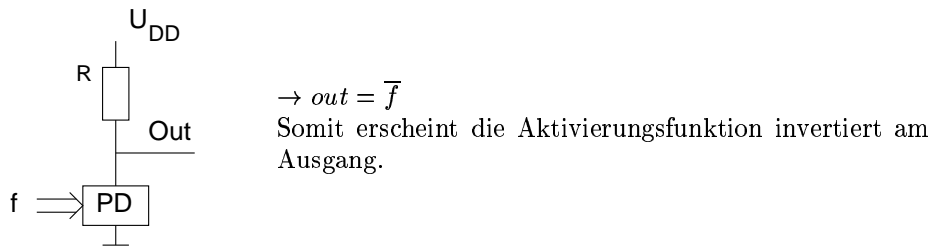


Beispiellösungen in Kurzform zur Übung 4

Aufgabe 1:

Gatteridentifizierung

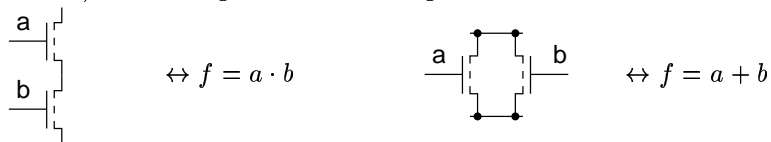
Aufgrund der Vorlesung sollte erkannt werden, dass folgendes gilt mit f als die 'Aktivierungsfunktion' des Pulldown:



Der Pulldown ist aktiviert, wenn es einen Pfad aus geschalteten Transistoren durch den Pulldown zur Masse gibt

- 1.a) Pfad, wenn Transistor a **und** Transistor b geschaltet sind $\rightarrow out = \overline{ab}$
- 1.b) Pfad, wenn Transistor a **oder** Transistor b geschaltet sind $\rightarrow out = \overline{ab + cd}$
- 1.c) Pfad, wenn Transistor a **und** Transistor b **oder** c **und** d **oder** a **und** k **und** d **oder** c **und** k **und** b geschaltet sind $\rightarrow out = \overline{ab + cd + akd + ckb}$

In Aufgabe 1 sollte erkannt werden, dass folgende Transistorstrukturen (Pull-down und nMOS) zu den folgende 'Aktivierungsfunktionen' führt:



Aufgabe 2:

Die geforderte Negation des Ausgangssignal ergibt sich aus der Verschaltung des Pulldown. Somit müssen die Strukturen entsprechen der vorgegebenen Funktion konstruiert werden.

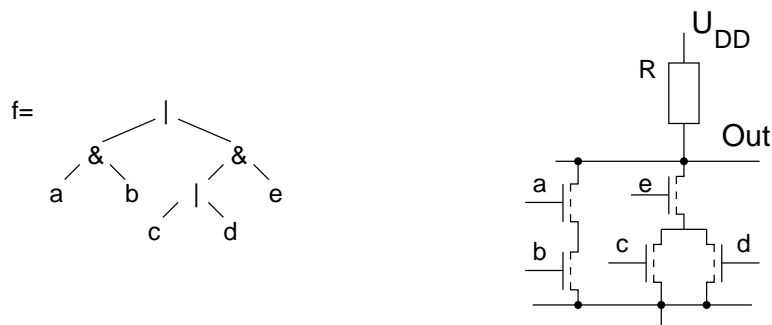
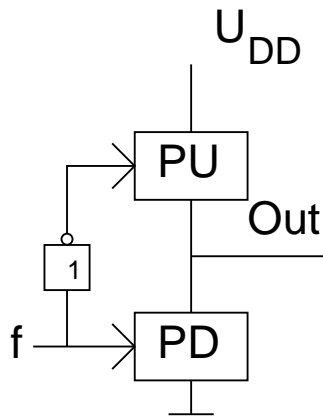


Abbildung 1: Konstruktion der Funktion aus der Hierarchie der Verknüpfungen.

Aufgabe 3:

Pullup und Pulldown müssen gegeneinander verriegelt sein, damit kein Kurzschluß entsteht. Somit kann man folgendes Gedankenmodell ansetzen:



Die Invertierung des Pullup ergibt sich bei einer Schaltung mit pMOS-Transistoren dadurch, dass der pMos bei 'Low' Schaltet und bei 'High' Sperrt. Somit wird der 'Eingang invertiert'.

Analyse der Schaltung:

$$PD = a \cdot b \quad \rightarrow \quad out_{PD} = \overline{a \cdot b} \quad (1)$$

$$PU = \overline{a} + \overline{b} \xrightarrow{\text{deMorgan}} out_{PD} = \overline{a \cdot b} \quad (2)$$

Im Gegensatz zum Pulldown erscheint die Aktivierungsfunktion direkt am Ausgang; somit sind out_{PD} und out_{PU} identisch und die Schaltung ist ein NAND.

Umgekehrt erfolgt die Konstruktion:

$$\begin{aligned} out = \overline{a + b} &\rightarrow f_{PD} = a + b \\ &\rightarrow f_{PU} = \overline{a + b} \\ &\rightarrow f_{PU} = \overline{a} \cdot \overline{b} \end{aligned}$$

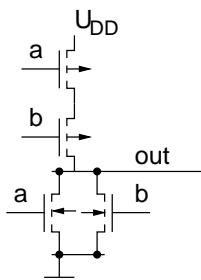


Abbildung 2:
NOR-Gatter

Aufgabe 4: (Flip-Flop)

Hier ergeben sich zwei Lösungswege: Analytisch und Probieren. Es soll hier der analytische Weg gezeigt werden:

$$\begin{aligned} Q &= \overline{R + \overline{Q}} \\ \overline{Q} &= \overline{S + Q} \\ Q &= \overline{R + \overline{S + \overline{Q}}} \\ \overline{Q} &= \overline{S + R + \overline{\overline{Q}}} \end{aligned}$$

Bei einer Oder-Verknüpfung ist der Eingang, der eine '1' führt, dominierend für den Ausgang. Entsprechend ergibt sich für Q und \overline{Q} eine Null, wenn R und S jeweils auf '1' sind.

R	S	Q	\overline{Q}
0	0		
0	1		0
1	0	0	
1	1	0	0

Sind R und S jeweils '0', so werden Q und \overline{Q} jeweils vom zweiten Teil des Terms bestimmt:

$$\begin{aligned} Q|_{S=0} &= R + Q \\ \overline{Q}|_{R=0} &= S + \overline{Q} \end{aligned}$$

R	S	Q	\overline{Q}
0	0		
0	1	1	0
1	0	0	1
1	1	0	0

Unter der Bedingung das R und S '0' sind ergibt sich:

$$\begin{aligned} Q|_{R=0,S=0} &= Q \\ \overline{Q}|_{R=0,S=0} &= \overline{Q} \end{aligned}$$

R	S	Q	\overline{Q}
0	0	Q	\overline{Q}
0	1	1	0
1	0	0	1
1	1	0	0

Die Schaltung setzt sich entsprechend aus zwei NOR-Gattern zusammen.

Aufgabe 5: (Laufzeituntersuchung)

Die angegebene Schaltung in mehr 'analytischer' Form:

$$\overline{D \cdot C} \stackrel{\Delta}{=} a \quad (3) \qquad \overline{a \cdot \overline{Q}} \stackrel{\Delta}{=} Q \quad (5)$$

$$\overline{a \cdot C} \stackrel{\Delta}{=} b \quad (4) \qquad \overline{b \cdot \overline{Q}} \stackrel{\Delta}{=} \overline{Q} \quad (6)$$

Bei einer AND-Verknüpfung ist die Null dominant. Somit ist das Ergebnis '0' wenn eine der Variablen '0' ist, ohne das die andere Variable betrachtet werden muß.

D	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
C	0	1	1	1	1	0	0	0	0	0	0	0	1	1	1	0	0
a	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
b	1	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
Q	1	1	1	1	0												
\overline{Q}	0	0	0	1	1												

Rest von a und b muß durch Auswertung beider Variablen ermittelt werden.

$$\begin{array}{l|cccccccccccccccc}
D & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\
C & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 \\
a & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{0} & 1 & 1 \\
b & 1 & 1 & 0 & 0 & 0 & \mathbf{0} & 1 & 1 & 1 & 1 & 1 & 1 & 1 & \mathbf{0} & \mathbf{1} & \mathbf{1} & \mathbf{1} & 1 & 1 \\
Q & 1 & 1 & 1 & 1 & 0 & & & & & & & & & & & & & & \\
\overline{Q} & 0 & 0 & 0 & 1 & 1 & & & & & & & & & & & & & &
\end{array}$$

Analog kann nun für Gleichungen (5) und (6) vorgegangen werden.

$$\begin{array}{l|cccccccccccccccc}
D & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\
C & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 \\
a & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 1 \\
b & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 0 & 1 & 1 & 1 & 1 & 1 \\
Q & 1 & 1 & 1 & 1 & 0 & & & & & & & & & \mathbf{1} & \mathbf{1} & \mathbf{1} & \mathbf{1} & \\
\overline{Q} & 0 & 0 & 0 & 1 & 1 & \mathbf{1} & \mathbf{1} & & & & & & & & & & & \mathbf{1} &
\end{array}$$

$$\begin{array}{l|cccccccccccccccc}
D & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\
C & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 \\
a & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 1 \\
b & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 0 & 1 & 1 & 1 & 1 & 1 \\
Q & 1 & 1 & 1 & 1 & 0 & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{1} & \mathbf{1} & \mathbf{1} & \mathbf{1} \\
\overline{Q} & 0 & 0 & 0 & 1 & 1 & \mathbf{1} & \mathbf{1} & \mathbf{1} & \mathbf{1} & \mathbf{1} & \mathbf{1} & \mathbf{1} & \mathbf{1} & \mathbf{1} & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{0}
\end{array}$$

Aufgabe 6: (Schieberegister)

Die Schaltung schiebt die Werte jeweils nach rechts durch:

T	A	B	C → \overline{Q}
0	0	0	0 → 1
1	1	0	0 → 1
2	1	1	0 → 1
3	1	1	1 → 0
4	0	1	1 → 0
5	0	0	1 → 0
6	0	0	0 → 1
7	1	0	0 → 1

Die Folge wiederholt sich somit nach 6 Takten; sie kann somit als Takt-Teiler durch 6 verwendet werden.