

Klausur zur Vorlesung

"Grundlagen der technischen Informatik" und "Grundlagen der Rechnerarchitektur" Sommersemester 2001

1. Teil: GTI

Der erste Teil (GTI) der Klausur umfasst 6 Aufgaben und hat 11 Seiten, die in maximal 1 Stunde zu bearbeiten sind. **Es sind keine Hilfsmittel zugelassen.** Schreiben Sie Ihre Lösungen nur auf die dafür vorgesehenen Blätter! Verwenden Sie **kein eigenes Konzeptpapier**; notfalls erhalten Sie welches bei der Aufsicht.

Lassen Sie die Aufgaben und ihre Lösungen zusammengeheftet!

Schreiben Sie auf jedes Blatt (auch auf das Konzeptpapier) in Blockschrift Ihren **Namen** und Ihre **Matrikelnummer**.

Bei mehreren präsentierten Lösungen wird die Aufgabe nicht gewertet! Streichen Sie daher bei Angabe mehrerer Lösungsansätze die nicht zu bewertenden Lösungen durch!

Abschreiben und abschreiben lassen oder Hilfe Dritter führt zum Nichtbestehen der Klausur.

Es sind in diesem ersten Teil insgesamt 60 Punkte erreichbar.

Viel Erfolg!

Musterlösung

Vor- und Nachname: _____

(ohne Gewähr)

Matrikelnummer: _____ Fachbereich: _____

Studienfach (ankreuzen):

Informatik	<input type="checkbox"/>
Ingenieur-Informatik (Elektrotechnik)	<input type="checkbox"/>
Ingenieur-Informatik (Maschinenbau)	<input type="checkbox"/>
Ingenieur-Informatik (Informatik)	<input type="checkbox"/>
Wirtschafts-Informatik	<input type="checkbox"/>
Informatik als Nebenfach	<input type="checkbox"/>
Lehramt Informatik	<input type="checkbox"/>

Aufgabe	1	2	3	4	5	6	Summe
Punkte	9	8	12	10	9	12	60
Erreicht							

Summe	GTI:		GRA:		Gesamt:		Note:	
-------	------	--	------	--	---------	--	-------	--

Name:

Matrikel-Nummer:

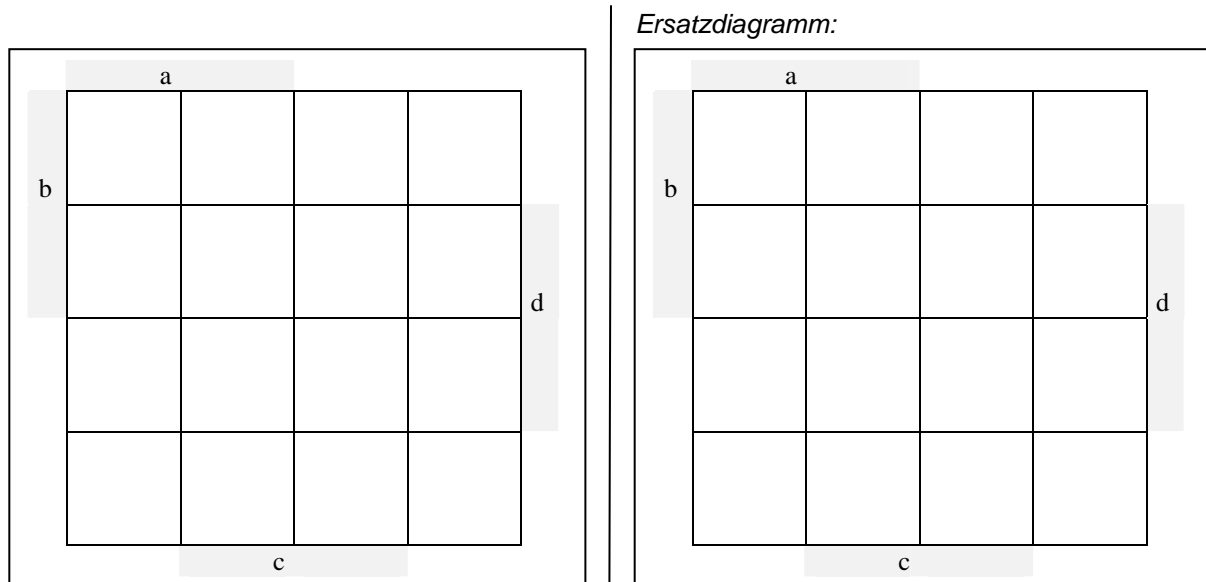
Diese Seite ist leer und steht als Konzeptpapier zur Verfügung.

Aufgabe 1 (9 min, 4 + 2 + 1 + 2 Punkte): Karnaugh Diagramme

Minimieren Sie die boolesche Funktion

$$F = a b \bar{c} d + \bar{a} \bar{b} \bar{c} d + \bar{a} b \bar{c} \bar{d} + a \bar{b} \bar{c} \bar{d} + \bar{a} \bar{b} \bar{c} \bar{d} + a b \bar{c} \bar{d} + \bar{b} c \bar{d} + \bar{a} b \bar{c} d$$

mit Hilfe des aus der GTI-Vorlesung bekannten Karnaugh Diagramms.



- a) Zeichnen Sie alle Primimplikanten ein und beschriften Sie sie mit P_{Nummer} .
- b) Geben Sie die Überdeckungsfunktion $\ddot{U}F$ in Abhängigkeit von den Primimplikanten **ohne** weitere Vereinfachungen an.

$$\ddot{U}F = \langle P_1 \ P_2 \ P_3 \ (P_4 + P_2 \ P_3) \ \rangle$$

- c) Geben Sie die minimierte Funktion an:

$$F = b \bar{c} + \bar{a} \bar{c} + \bar{b} \bar{d}$$

- d) Vereinfachen Sie die minimierte Funktion mit Hilfe der Axiome der booleschen Algebra so, dass möglichst wenig Operatoren (UND, ODER, NICHT) für ihre Berechnung benötigt werden. Geben sie bei den Umformungen die **Namen** der verwendeten Axiome an!

$$\begin{aligned} F &= b \bar{c} + \bar{a} \bar{c} + \bar{b} \bar{d} \\ &= (b + \bar{a}) \bar{c} + \bar{b} \bar{d} \quad | \text{Distributivgesetz} \end{aligned}$$

Name:

Matrikel-Nummer:

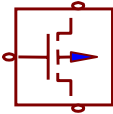
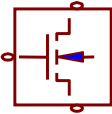
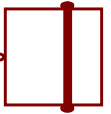
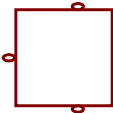
Aufgabe 2 (8 min, 8 Punkte): CMOS-Technologie

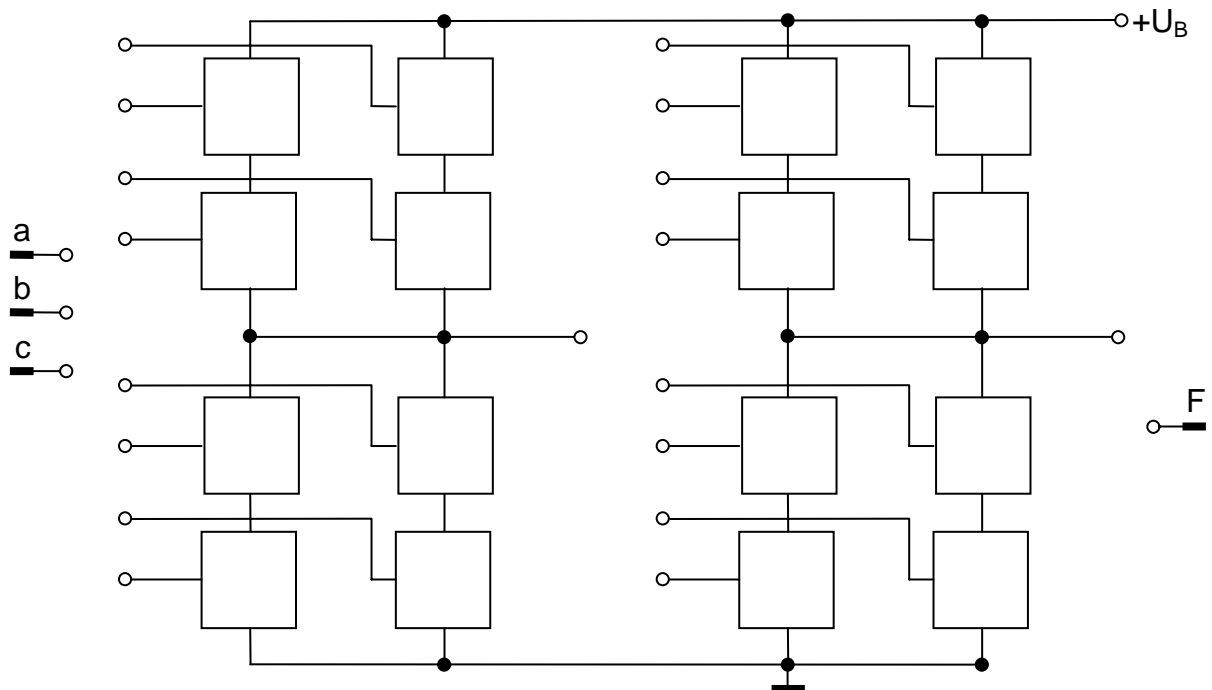
Gegeben sei folgende boolesche Funktion:

$$F = a \overline{(b + c)}$$

- a) Vervollständigen Sie die Implementierung im unteren Bild mit Hilfe der angegebenen Bauelemente zu einer reinen CMOS Schaltung, wobei nur NAND und NOR implementiert werden können. Es stehen dazu nur zwei Schaltungsgruppen zur Verfügung, mit denen ein NAND und ein NOR oder zwei NAND oder zwei NOR implementiert werden können. Tragen Sie dazu in die freien Kästen **P**, **N**, **L** bzw. **E** für das jeweils einzusetzende Schaltzeichen ein und fügen Sie **fehlende Verbindungen** ein, so dass sich genau die Funktion F ergibt.

Einzutragende Buchstaben:

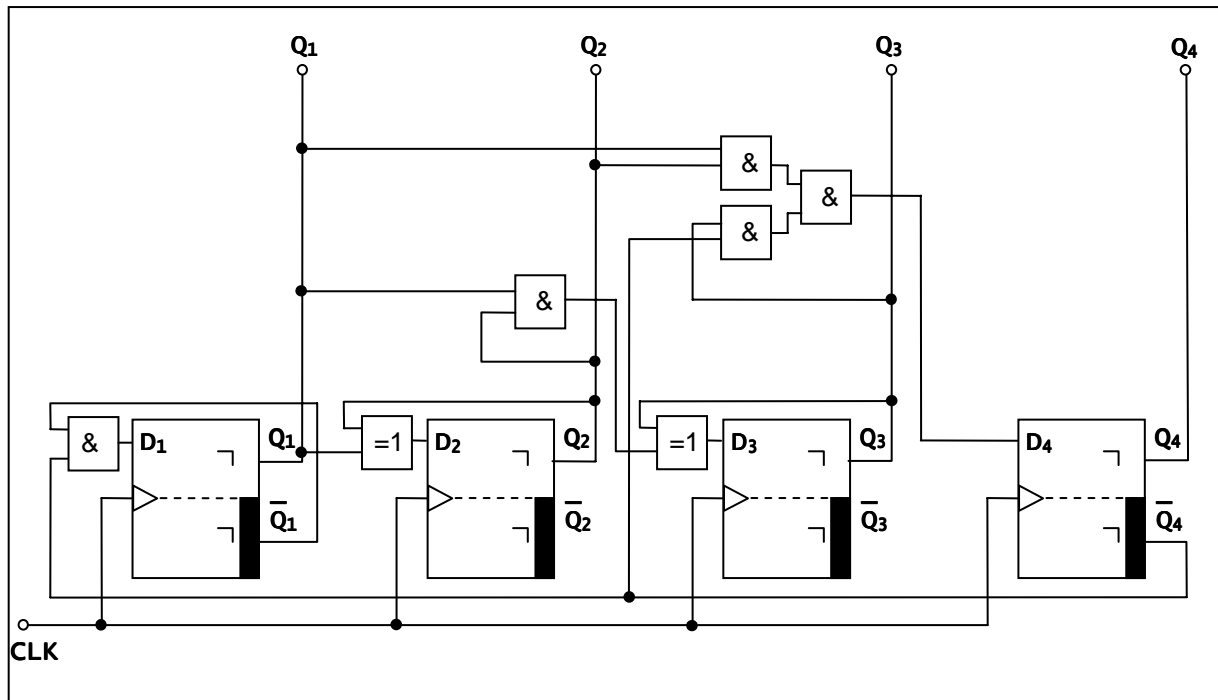
P	PMOS Transistor (Anreicherungstyp, ist durchgeschaltet falls Gate Low)	N	NMOS Transistor (Anreicherungstyp, ist durchgeschaltet falls Gate High)	L	Überbrückung
					
E	leer, unbenutzt				
					



Hinweis: nicht alle Konnektoren müssen verbunden werden!

Aufgabe 3 (12 min, 4 + 5 + 3 Punkte): Flip-Flops und Register

Gegeben ist der folgende Moore-Automat:

*Hinweis: Beachten Sie, dass es sich um Master-Slave D-Flip-Flops handelt!*

- a) Geben Sie die booleschen Funktionen in Abhängigkeit von Q_1 bis Q_4 für die Übergangsfunktion des Automaten an:

$$D_1 = \bar{Q}_4 \cdot \bar{Q}_1$$

$$D_2 = Q_1 \text{ XOR } Q_2$$

$$D_3 = (Q_1 \cdot Q_2) \text{ XOR } Q_3$$

$$D_4 = Q_1 \cdot Q_2 \cdot Q_3 \cdot \bar{Q}_4$$

- b) Füllen Sie die Tabelle aus:

Nach Takt	Q_4	Q_3	Q_2	Q_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	0	0	0	0
10	0	0	0	1

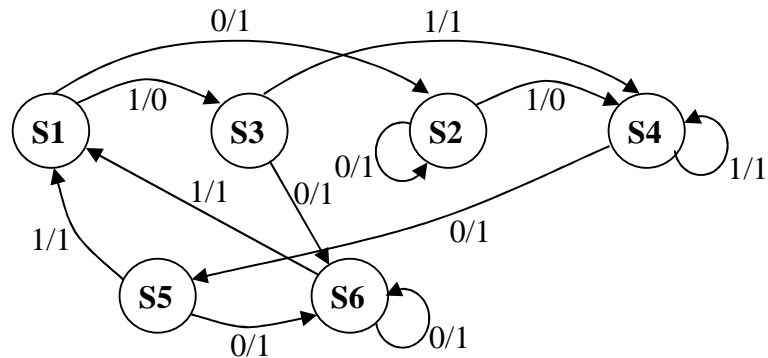
Nach Takt i = nach i -ter negativer Flanke des Taktsignals

- c) Um was für eine Schaltung handelt es sich (bzw. wie kann man die Ausgabe interpretieren)?

synchroner
Binärzähler bis 8

Aufgabe 4 (10 min, 8 + 2 Punkte): Automaten

Wandeln Sie den gegebenen Mealy-Automaten in einen äquivalenten Zustands-minimalen (reduzierten) Mealy-Automaten um.



S1, S2, S3, S4, S5, S6 sind Zustände;
1/0 steht für Eingabe X = 1, Ausgabe: Y = 0.

a) Ergänzen Sie bitte das vorgegebene Schema nach dem Ginsburg/Huffmann-Verfahren:

1. Schritt			Äquivalenzklassenzuordnung im		2. Schritt		3. Schritt		4. Schritt	
δ/λ	0	1	0	1	0	1	0	1	0	1
S1	S2/1	S3/0	A ₁	A ₂	B ₁	B ₂				
S2	S2/1	S4/0	A ₁	A ₂	B ₁	B ₂				
S3	S6/1	S4/1	A ₂	A ₂	B ₃	B ₂				
S4	S6/1	S4/1	A ₂	A ₂	B ₃	B ₂				
S5	S6/1	S1/1	A ₂	A ₁	B ₃	B ₁				
S6	S6/1	S1/1	A ₂	A ₁	B ₃	B ₁				

Geben Sie hier an, welche Zustände in den Äquivalenzklassen enthalten sind:

$$\begin{aligned}
 A_1 &= \{ \mathbf{S1, S2} \}, & B_1 &= \{ \mathbf{S1, S2} \}, \\
 A_2 &= \{ \mathbf{S3, S4, S5, S6} \}, & B_2 &= \{ \mathbf{S3, S4} \}, \\
 C_1 &= \{ \}, & B_3 &= \{ \mathbf{S5, S6} \}, \\
 C_2 &= \{ \}, & C_3 &= \{ \}, \\
 C_4 &= \{ \}
 \end{aligned}$$

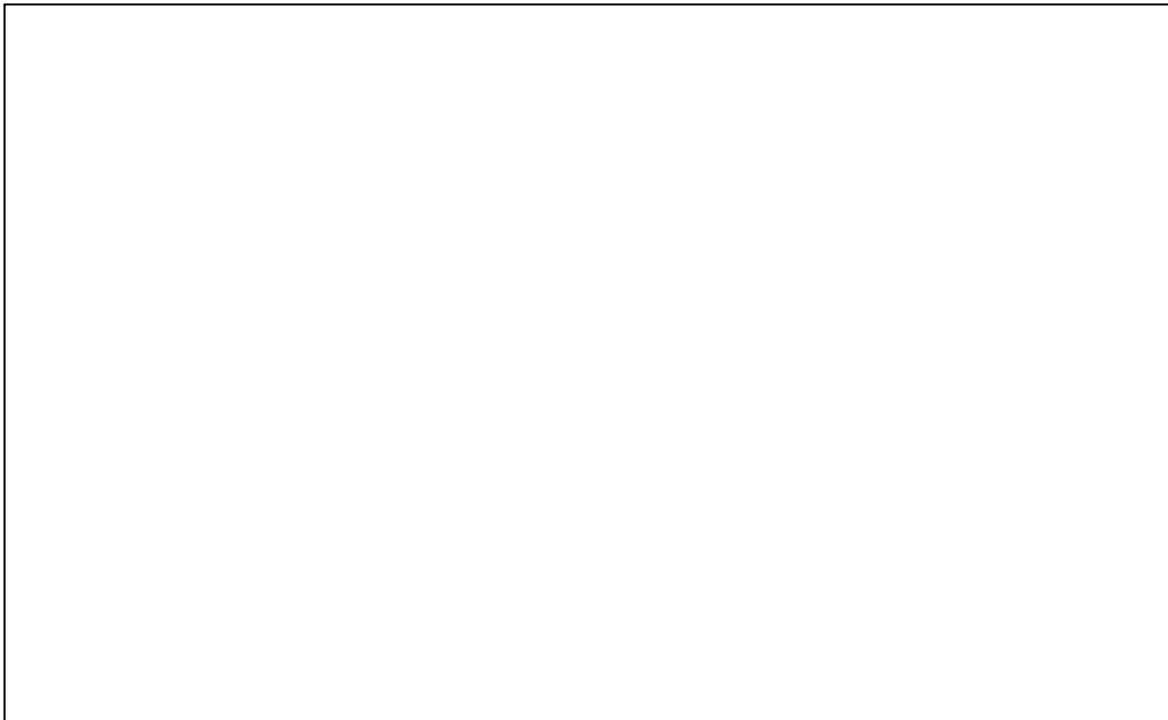
Hinweis: nicht benötigte Felder(Schritte) und Äquivalenzklassen lassen Sie leer.

Name:

Matrikel-Nummer:

Fortsetzung Aufgabe 4: Automaten

b) Geben Sie den Zustandsübergangsgraphen des minimierten Mealy-Automaten an:



Name:

Matrikel-Nummer:

Diese Seite ist leer und steht als Konzeptpapier zur Verfügung.

Name:

Matrikel-Nummer:

Aufgabe 5 (9min, 5 + 4 Punkte): VHDL

Vervollständigen sie die Entity- und die Architekturbeschreibung für einen 1-Bit-Halbaddierer. Dieser soll die beiden binären Signale **A** und **B** addieren und das Ergebnis am Ausgang **S** und dem Übertragsausgang **C** zur Verfügung stellen.

- a) Geben Sie die VHDL-Beschreibung der Schnittstelle dieses Bausteins an. Benutzen Sie als Datentyp *std_logic*.

```

entity
Port (
.....
.....
.....
.....
.....
.....
.....
.....
.....
.....
);
end

```

- b) Vervollständigen Sie die Verhaltensbeschreibung für den Baustein **ohne** einen *Process* zu modellieren:

```

architecture BEHAVIORAL of HA is
begin
.....
.....
.....
.....
.....
.....

```

```

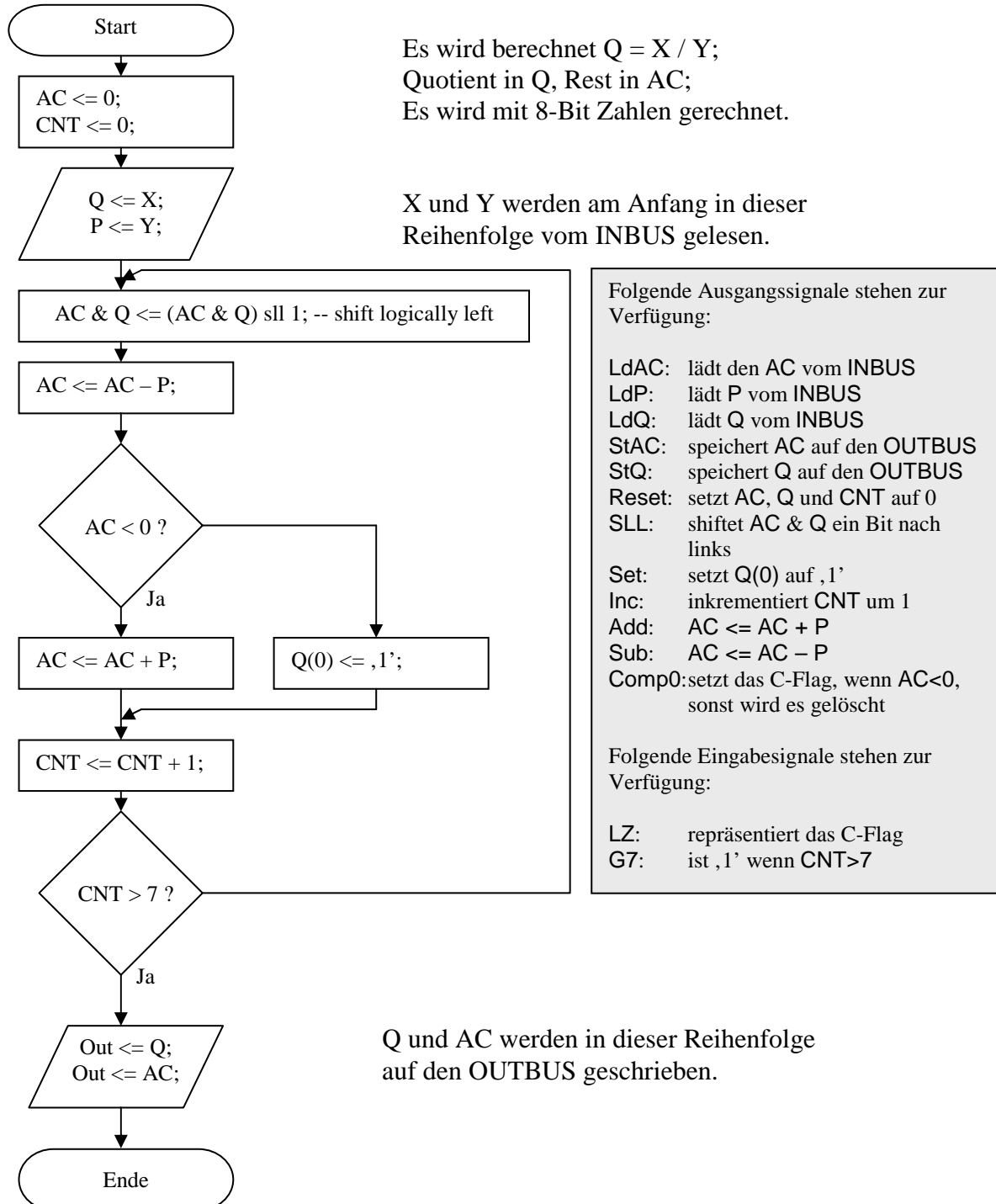
end BEHAVIORAL;

configuration CFG_HA_BEHAVIORAL of HA is
for BEHAVIORAL
end for;
end CFG_HA_BEHAVIORAL;

```

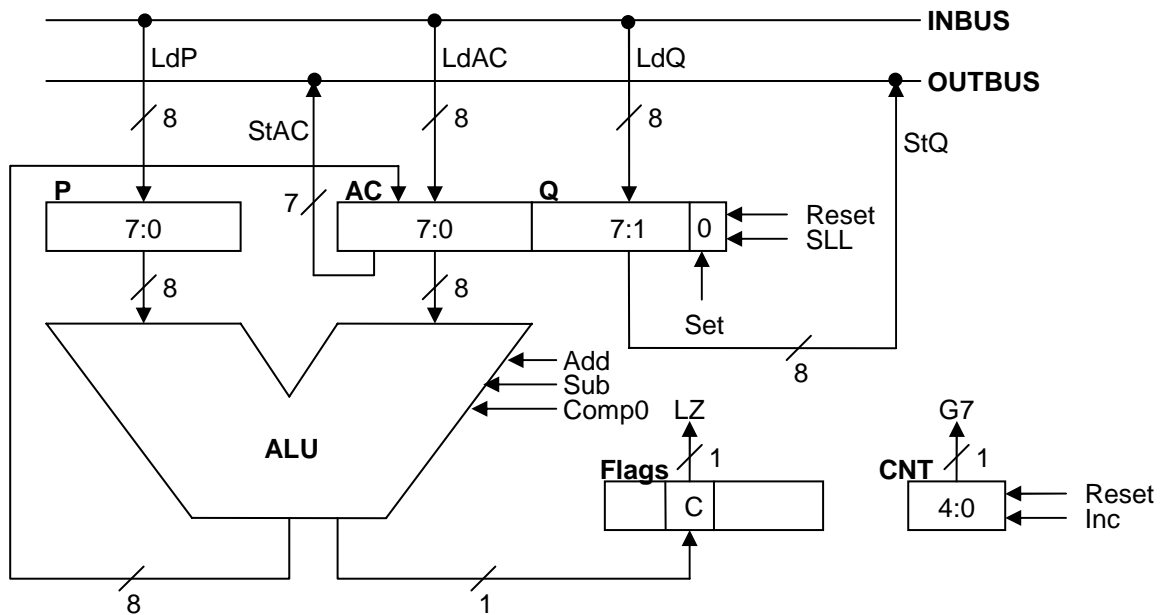
Aufgabe 6 (12 min, 12 Punkte): Steuerwerk

Gegeben sind der folgende Algorithmus und ein dafür vorgesehenes Rechenwerk mit seinen Datenpfaden, Signal- und Steuerleitungen.



Fortsetzung Aufgabe 6: Steuerwerk

Folgendes Rechenwerk ist gegeben:



Geben Sie den **kleinsten** Moore-Automaten des Steuerwerks an, der den vorgenannten Algorithmus implementiert! Beschriften Sie jede Kante mit einer booleschen Formel und geben Sie tabellarisch an, in welchem Zustand welche Signale aktiviert werden!

Zustandsübergangsgraph:		Zustand	aktivierte Signale
		S0	Reset
		S1	LdQ
		S2	LdP
		S3	SLL
		S4	Sub
		S5	Add, Inc
		S6	Set, Inc
		S7	StQ
		S8	StAC